

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-199912

(43)Date of publication of application : 21.07.1992

(51)Int.Cl.

H03L 7/00  
H04L 7/033  
H04L 7/04

(21)Application number : 02-325817

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.11.1990

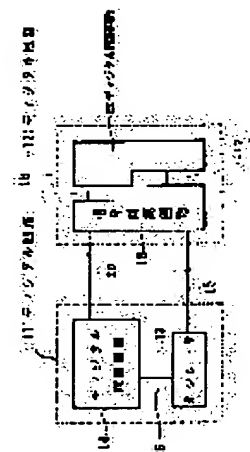
(72)Inventor : KOBAYASHI TSUKASA

## (54) SYNCHRONIZING SYSTEM FOR ASYNCHRONOUS SIGNAL

### (57)Abstract:

**PURPOSE:** To execute synchronization with a little delay by providing a signal synchronous circuit which controls the change timing of a signal by means of a phase relation and synchronizes the signal with the clock of the other digital synchronous circuit without causing a metastable state.

**CONSTITUTION:** When the signals are transferred between the two digital synchronous circuits 11 and 12 which use respectively different frequency clocks, the signal which is from one digital synchronous circuit and which is not synchronized with the clock of the other digital synchronous circuit is synchronized with the clock of the other digital synchronous circuit by the signal synchronous circuit 16. In this case, the phase relation between the two clocks used by the two digital synchronous circuits 11 and 12 is adjusted through the use of a PLL(Phase Locked Loop) principle, and the signal is synchronized with the clock of the other digital synchronous circuit by the phase relation without causing the metastable state. Thus, delay time for synchronizing is shortened without causing the metastable state.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平4-199912

⑮ Int. Cl.<sup>5</sup>H 03 L 7/00  
H 04 L 7/033  
7/04

識別記号

B

庁内整理番号

9182-5J

⑬ 公開 平成4年(1992)7月21日

B

8949-5K  
8949-5K

H 04 L 7/02

B

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 非同期信号の同期方式

⑯ 特 願 平2-325817

⑰ 出 願 平2(1990)11月29日

⑱ 発 明 者 小 林 司

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 鈴木 敏明

## 明 細 書

## 1. 発明の名称

非同期信号の同期方式

## 2. 特許請求の範囲

それぞれ異なる周波数のクロックを用いた2つのデジタル同期回路間で信号をやり取りする場合に、一方のデジタル同期回路からの、他方のデジタル同期回路のクロックに同期していない信号を、前記他方のデジタル同期回路のクロックに同期させるようにした非同期信号の同期方式において、

前記2つのデジタル同期回路が用いる2つのクロックの位相関係を、PLLの原理を用いて合わせ、その位相関係によって前記信号の変化のタイミングを制御し、前記信号を前記他方のデジタル回路のクロックにメタステーブル状態を起さずに同期させる信号同期回路を備えたことを特徴とする非同期信号の同期方式。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、異なる周波数のクロックで動作する2つのデジタル同期回路間での送受信信号の同期を行なう非同期信号の同期方式に関する。

(従来の技術)

第2図は従来の非同期信号の同期方式の一例を示すブロック図である。

同図において、1は周波数 $f_1$ のクロックで動作する回路、2は周波数 $f_2$ のクロックで動作する回路、3は周波数 $f_1$ のクロックを発生するオシレータ、4はオシレータ3の出力である周波数 $f_1$ のクロックが供給され、周波数 $f_1$ で動作するデジタル同期回路である。ここで、オシレータ3とデジタル同期回路4は回路1を構成する。

また、5は周波数 $f_2$ のクロックを発生するオシレータ、6はオシレータ5の出力である周波数 $f_2$ のクロックが供給され、周波数 $f_2$ で動作するデジタル同期回路、7はオシレータ5の出力が供給されており、デジタル同期回路5からの出力信号8(周波数 $f_1$ に同期した信号)を受信

し、周波数 $f_s$ に同期した信号に変換してデジタル同期回路6に出力する信号同期回路である。これらのオシレータ5とデジタル同期回路6と信号同期回路7は、回路2を構成する。

更に、信号同期回路7の具体的構成を第3図に示す。

第3図は、第2図の信号同期回路7の一構成例を示す回路図である。同図において、信号同期回路7は、オシレータ5の周波数 $f_s$ のクロックで動作するDフリップフロップ7-1と、オシレータ5の周波数 $f_s$ のクロックで動作するJKフリップフロップ7-2とから構成される。ここで、Dフリップフロップ7-1の入力端子Dには入力信号8と（デジタル同期回路4の出力信号7が供給され、かつ出力端子QはJKフリップフロップ7-2の入力端子5に接続されている。また、JKフリップフロップ7-2の入力端子Kは接地されている。また、Dフリップフロップ7-1及びJKフリップフロップ7-2の各クロック端子cにはオシレータ5の出力クロックが供給されるようになっ

ている。また、JKフリップフロップ7-2の出力端子Qからの出力信号は、デジタル同期回路6に供給されるようになっている。

次に動作について説明する。なお、異なる周波数のクロックで動作する2つのデジタル同期回路4、6間で信号をやり取りする（ここでは、デジタル同期回路4からデジタル同期回路6へ信号を送る）場合を例にとるものとする。

回路1のデジタル同期回路4の出力信号8（周波数 $f_s$ に同期した信号）が回路2の信号同期回路7に送られる。信号同期回路7において、デジタル同期回路4からの出力信号8は入力信号8として1段目のDフリップフロップ7-1に供給され、Dフリップフロップ7-1でラッチされた後、 $t (=1/f_s)$ 時間後、再び2段目のJKフリップフロップ7-2でラッチされ、周波数 $f_s$ に同期した出力信号としてデジタル同期回路6に出力される。

次に第3図の動作について第4図、第5図を用いて詳述する。なお、第4図及び第5図は、第3

図の動作タイムチャートである。

(I)、入力信号8がオシレータ5のクロックの立上り前に十分な時間的余裕をもって変化し、1段目のDフリップフロップ7-1のセットアップ／ホールド時間を満足した場合の動作について第4図を用いて説明する。なお、同図(a)はオシレータ5の出力クロックを示し、同図(b)は、入力信号8を示し、同図(c)はDフリップフロップ7-1の出力を示し、同図(d)はJKフリップフロップ7-2の出力を示している。

この場合、1段目のDフリップフロップ7-1の出力は、同図(c)に示す如く正常に変化して、2段目のJKフリップフロップ7-2にラッチされ、周波数 $f_s$ に同期した同図(d)に示すような出力信号として出力される。このとき、同図(b)に示す入力信号8の変化が、JKフリップフロップ7-2の出力に現われるまでの時間Tは、 $t_0$ （入力信号8の変化からオシレータ5の出力クロックの立上りまでの時間）+ $t (=1/f_s)$ + $t_d$ （2段目のJKフリップフロップ7-2の遅延時

間）により与えられる。ここで、 $t_0$ は0～ $\tau$ の範囲で一様分布するため、 $t_0 = \tau/2$ とおけば、Tの平均は、 $1.5\tau + t_d$ となる。

(II)、入力信号8の変化がオシレータ5のクロックの立上りと略同時であり、1段目のDフリップフロップ7-1のセットアップ／ホールド時間を満足していない場合の動作について第5図を用いて説明する。なお、同図(a)は、オシレータ5の出力クロックを示し、同図(b)は入力信号8を示し、同図(c)はDフリップフロップ7-1の出力を示し、同図(d)はJKフリップフロップ7-2の出力を示している。

この場合、同図(b)に示す入力信号8の変化が、同図(a)に示すオシレータ5の出力クロックの立上りと略同時であるため、1段目のDフリップフロップ7-1はメタステーブル状態となり、Dフリップフロップ7-1の出力は同図(c)に示す如く、 $t_m$ （数+ns）の間、不安定状態となる。しかし、2段目のJKフリップフロップ7-2では、同図(c)に示すようにDフリップフ

ロップ7-1の出力が出てから $t$  ( $> t_m$ ) 後、Dフリップフロップ7-1の出力の不安定状態がおさまってから、Dフリップフロップ7-1の出力をラッチするため、Dフリップフロップ7-1の出力の不安定状態がJKフリップフロップ7-2の出力に同図(d)に示す如く現われることはない。

以上のように、同期を2回取ることによって、入力信号をあるクロックから別のクロックに同期させる際の不安定状態を回避している。

(発明が解決しようとする課題)

しかしながら、上述した従来の非同期信号の同期方式では、次のような問題があった。

1) 信号同期回路7において、入力信号の変化が出力側に伝わるまでに平均  $1.5t$  ( $t$ : オシレータ5の出力クロックの周期) の遅れがあるため、回路2として高速性が要求される回路では性能低下の原因となっていた。

2) 使用できるクロック周波数 $f_c$ については、30MHz程度が限界とされ、それ以上の周波数では分周したクロックにより同期をとることに

なるので、更に大きな遅れをもたらしていた。

そこで、本発明の目的は、このような従来の問題点に鑑み、より少ない遅延で同期を行なうことができる非同期信号の同期方式を提供することにある。

(課題を解決するための手段)

本発明は、それぞれ異なる周波数のクロックを用いた2つのデジタル同期回路間で信号をやり取りする場合に、一方のデジタル同期回路からの、他方のデジタル同期回路のクロックに同期していない信号を、前記他方のデジタル同期回路のクロックに同期させるようにした非同期信号の同期方式において、前記2つのデジタル同期回路が用いる2つのクロック間の位相関係を、PLLの原理を用いて合わせ、その位相関係によって前記信号の変化のタイミングを制御し、前記信号を前記他方のデジタル同期回路のクロックにメタステーブル状態を起さずに同期させる信号同期回路を備えてなるものである。

(作用)

本発明の非同期信号の同期方式においては、それぞれ異なる周波数のクロックを用いた2つのデジタル同期回路間で信号をやり取りする場合に、一方のデジタル同期回路からの、他方のデジタル同期回路のクロックに同期していない信号を、信号同期回路により他方のデジタル同期回路のクロックに同期させる。この場合、2つのデジタル同期回路が用いる2つのクロック間の位相関係を、PLL (Phase Locked Loop) の原理を用いて合わせ、その位相関係によって前記信号を、他方のデジタル同期回路のクロックにメタステーブル状態を起さずに同期させる。メタステーブル状態を起すような場合、予め前記位相関係によって前記信号の変化のタイミングを制御することで、メタステーブル状態を回避し、高速な信号伝達を行なう。

(実施例)

次に本発明の実施例につき図面を用いて説明する。第1図は、本発明の一実施例を示すブロック図である。同図において、11は周波数 $f_1$ のク

ロックで動作するデジタル回路、12は周波数 $f_2$ のクロックで動作するデジタル回路である。デジタル回路11は、周波数 $f_1$ のクロック15を出力するオシレータ13と、オシレータ13の出力である周波数 $f_2$ のクロック15が供給され、周波数 $f_1$ のクロックで動作するデジタル同期回路14とから構成される。また、デジタル回路12は、周波数 $f_2$ のクロック17を出力するオシレータを兼ねた信号同期回路16と、信号同期回路16から周波数 $f_2$ のクロック17及び入力信号20を周波数 $f_2$ のクロックに同期させた信号18が供給され、周波数 $f_2$ のクロックで動作するデジタル同期回路19とから構成される。なお、入力信号20は、デジタル同期回路14の出力信号である。

信号同期回路16の具体的構成例を第6図に示す。

第6図は、第1図の入力信号同期回路16の一構成例を示す回路図である。

第6図において、16-1は、電圧制御オシレータ

(以下VCOという。)であって、このVCO 16-1は、周波数 $f_s$ の近辺で発振する。VCO 16-1の出力は分周器16-2及びデジタル同期回路19に供給される。16-2は、VCO 16-1の出力(周波数 $f_s$ のクロック)17を $1/n_2$ に分周する分周器、16-3は、オシレータ13からの周波数 $f_1$ のクロックを $1/n_1$ に分周する分周器である。また、16-4は、分周器16-2及び16-3の出力である分周周波数 $f_s/n_2$ のクロック16-5及び分周周波数 $f_1/n_1$ のクロック16-6が供給され、分周器16-2の出力( $f_s/n_2$ のクロック)16-5と分周器16-3の出力( $f_1/n_1$ のクロック)16-6の位相を比較してVCO 16-1の周波数を加減するためのVCO制御信号16-7を発生するための位相比較器である。この位相比較器16-4の出力であるVCO制御信号16-7はVCO 16-1に供給される。ここで、VCO 16-1と分周器16-2と位相比較器16-4は、PLL(Phase Locked Loop)回路を構成しており、分周器16-2の出力16-5と分周器16-3の出力16-6を一致させるように動作する。このため、オシレータ

になっている。従って、アンドゲート16-10は、ゲート制御器16-8のゲート信号16-9を受けて、JKフリップフロップ16-11への入力を制限するものである。このJKフリップフロップ16-11の入力端子Jは、アンドゲート16-10の出力端に接続され、かつその入力端子Kは接地されている。また、JKフリップフロップ16-11のクロック端子cには、VCO 16-1の出力クロック(周波数 $f_s$ のクロック)17が供給されるようになっている。また、JKフリップフロップ16-11の出力端子Qからは、出力信号18がデジタル同期回路19へ供給されるようになっている。

次に動作について第7図を用いて説明する。

なお、第7図は、第6図の動作タイムチャートであり、周波数 $f_1 : f_s = 5 : 4$ の場合の例を示したものである。第7図(a)は、オシレータ13の出力である周波数 $f_1$ のクロック15を示し、同図(b)及び(c)は分周器16-3及び16-12の各出力16-6、16-5を示し、同図(d)はVCO 16-1の出力である周波数 $f_s$ のクロック

13からの周波数 $f_1$ のクロック15とVCO 16-1の出力である周波数 $f_s$ のクロック17とは、各々の分周周波数 $f_1/n_1$ 、 $f_s/n_2$ を媒介として同期がとられ、 $f_1/n_1 (= f_s/n_2)$ の周期で同じ位相関係を繰返すことになる(後述する第7図(a)～(d)参照)。

また、16-8はカウンタとコンパレータからなるゲート制御器であって、このゲート制御器16-8には、VCO 16-1出力(周波数 $f_s$ のクロック)17及び分周器16-2の出力16-5が供給される。そして、ゲート制御器16-8は、VCO 16-1の出力17及び分周器16-2の出力16-5により2つの $f_1$ 、 $f_s$ のクロック15、17の位相関係を判断し、メタステーブルを生ずる可能性のある場合にゲート信号16-9を出力するものである。また、16-10は、アンドゲートであって、このアンドゲート16-10の一方の入力端にはゲート制御器16-8からのゲート信号16-9が供給され、かつその他方の入力端には入力信号20、即ちデジタル同期回路14の出力信号20が供給されるように

17を示している。また、同図(e)はメタステーブルとなるタイミングを示し、特に図示の斜線部は、JKフリップフロップ16-11において入力に変化した場合に(入力のタイミングにより)、メタステーブルとなるタイミングを示している。また、同図(f)は、ゲート制御器16-8の出力(ゲート信号)16-9を示している。また、同図(g)及び(h)は、それぞれメタステーブルが起らないタイミングで入力信号20が変化した場合(通常の場合)の、入力信号20及び出力信号18を示している。また、同図(i)及び(j)は、それぞれメタステーブルが生じ得るタイミングで、入力信号20が変化した場合の、入力信号20及び出力信号18を示している。

オシレータ13の第7図(a)に示すような出力クロック(周波数 $f_1$ のクロック)は、デジタル回路11内のデジタル同期回路14及びデジタル回路12内の信号同期回路16に供給される。デジタル同期回路14は、クロック周波数 $f_1$ に同期した出力信号20を入力信号20

として信号同期回路16に供給する。ここでは、出力信号20(入力信号20)の立上がりは、クロック15の立上がりよりクロック15の1パルス幅分の遅れ(時間 $t_1$ )を有するものとする(第7図(a)及び(g)、第7図(a)及び(i)参照)。

信号同期回路16においては、ディジタル同期回路14の出力信号20が、入力信号20(ここでは、第7図(g)又は(i)に示すような入力信号20)としてアンドゲート16-10に供給される。また、分周器16-3は、オシレータ13からの第7図(a)に示すようなクロック15を $1/n_1$ に分周して、第7図(b)に示すような出力16-6を位相比較器16-4に供給する。VCO16-1は、第7図(d)に示すような周波数 $f_2$ のクロック17を分周器16-2、ゲート制御器16-8、JKフリップフロップ16-11のクロック端子c及びディジタル同期回路19に供給する。分周器16-2は、VCO16-1の第7図(d)に示すような出力クロック17を $1/n_2$ に分周して、第7図(c)に示すよう

な出力16-5を位相比較器16-4及びゲート制御器16-8に供給する。位相比較器16-4は、分周器16-2の出力( $f_2/n_2$ のクロック)16-5と分周器16-3の出力( $f_1/n_1$ のクロック)16-6の位相を比較して、 $f_1/n_1 = f_2/n_2$ とすべくVCO制御信号16-7をVCO16-1に供給する。ここでVCO16-1と分周器16-2と位相比較器16-4はPLL回路を構成しており、分周器16-2の出力16-5と分周器16-3の出力16-6を一致させるように動作する。従って、第7図(b)の波形と第7図(c)の波形は一致することになる。そして、第7図(a)～(d)に示すように、オシレータ13からの周波数 $f_1$ のクロック15とVCO16-1の出力である周波数 $f_2$ のクロック17とは、分周周波数 $f_1/n_1$ 、 $f_2/n_2$ を媒介として同期がとられ、 $f_1/n_1 (= f_2/n_2)$ の周期で同じ位相関係を繰返すことになる。従って、VCO16-1の出力クロック17は、第7図(d)に示す如く $f_1/n_1 (= f_2/n_2)$ の周期で㊸～㊼の4パターンを繰返す。ゲート制御器16-8は、第7図(d)に示すようなVCO

16-1の出力17及び第7図(c)に示すような分周器16-2の出力16-5により、第7図(a)、(d)に示す2つのクロック15、17の位相関係を判断し、JKフリップフロップ16-11においてメタステーブルを生ずる可能性のある場合に、たとえば第7図(f)に示すようにゲート信号16-9をアンドゲート16-10に出力する。アンドゲート16-10の出力は、JKフリップフロップ16-11の入力端子Jに供給される。JKフリップフロップ16-11は、出力端子Qより出力信号18(ここでは、第7図(h)又は(j)に示すような出力信号18)をディジタル同期回路19へ送出する。

ここで、入力信号20がアンドゲート16-10、JKフリップフロップ16-11を介して出力される場合について、更に詳述する前に、まずゲート制御器16-8より第7図(f)に示すようなゲート信号16-9が出力される場合について説明する。

第7図(e)に示す斜線部は、入力信号20が変化した場合に(入力信号20のタイミングによ

り)、JKフリップフロップ16-11においてメタステーブルが起るタイミングを示す。実際には、クロック15(第7図(a))、分周器16-3の出力16-6(第7図(b))、分周器16-2の出力16-5(第7図(c))、VCO16-1の出力クロック17(第7図(d))及びメタステーブルとなるタイミング(第7図(e))と、第7図(a)のクロック15に対する入力信号20の変化の遅延 $t_d$ (ここでは $t_1$ )により、第7図(d)に示す4つのパターン㊸～㊼のうち、どのパターンの立上りタイミングでメタステーブルが生じ得るか予期することができる。

本実施例では、入力信号20は、前述したように第7図(a)に示すクロック15の立上りから $t_1$ 時間(クロック15の1パルス幅分の時間)遅れるものとするから、第7図(a)に示すクロック15の立上りから $t_1$ 時間後、入力信号20の立上りのタイミングが、第7図(d)に示すクロック17の立上りのタイミングと一致するとき、メタステーブルが起ることになる。

ゲート制御器 16-8では、VCO 16-1の出力クロック 17と分周器 16-2の出力 16-5により第 7 図 (a) に示すクロック 15 が判るので、クロック 15 の立上りから  $t_1$  時間後にクロック 17 の立上りがくるのをチェックすると、第 7 図 (a) の 3 番目のクロックパルスの立上り c に対して  $t_1$  1 時間後にくる第 7 図 (d) に示すクロック 17 の第 3 番目のパターン ⑤の×印で示す箇所の立上り d を求めることができる。従って、この第 7 図 (d) のパターン ⑤の立上り d 箇所に対応する第 7 図 (e) の斜線部が本実施例におけるメタステーブルとなるタイミングである。そこで、第 7 図 (d) のパターン ⑤の立上り d と一致するタイミングに入力される入力信号 20 をアンドゲート 16-10 で阻止して、JK フリップフロップ 16-11 でメタステーブルが生ずるのを予め回避する必要がある。このため、ゲート制御器 16-8では、コンパレータでクロック 15 とクロック 17 の位相が一致するか否かをチェックし、一致したときカウンタを動作させクロック 15 のクロックパルスの

数を数えていき、第 7 図 (a) に示すように 3 発目のクロックパルスの立上り c に同期してゲート信号 16-9 を第 7 図 (f) に示す如く出力する。これにより、入力信号 20 をアンドゲート 16-10 で阻止し、JK フリップフロップ 16-11 でメタステーブルが起きるのを回避することができる。

次に、入力信号 20 がアンドゲート 16-10、JK フリップフロップ 16-11 を介して出力される場合について、以下説明する。

(I)、メタステーブルとならない、第 7 図 (d) のパターン a のタイミングで、しかも第 7 図 (a) のクロック 15 の立上り a より  $t_1$  時間後に入力信号 20 が第 7 図 (g) に示すように変化した場合 (通常の場合) について説明する。

この場合、ゲート制御器 16-8は、第 7 図 (f) に示すようにゲート信号 16-9 を送出しないので、第 7 図 (g) に示す入力信号 20 は、アンドゲート 16-10 を介して JK フリップフロップ 16-11 の入力端子 J に供給される。そして、入力信号 20 は、第 7 図 (d) に示すパターン ⑤の立上り b の

タイミングで JK フリップフロップ 16-11 によりラッチされ、第 7 図 (h) に示すように出力される。入力信号 20 が JK フリップフロップ 16-11 より出力されるまでの遅延時間は、第 7 図 (h) に示すように  $t_a$  であり、 $t_a < t_8$  (ここに、 $t_8$  は第 7 図 (d) に示すクロック 17 の周期 ( $1/f_8$ ) である。) である。

7 図 (d) に示すクロック 17 の周期 ( $1/f_8$ ) である。) である。

以上は、メタステーブルとならない、第 7 図 (d) のパターン ⑤、④のタイミングで、入力信号 20 が変化した場合でも同様である。

(II)、メタステーブルを生じ得る、第 7 図 (d) のパターン c のタイミングで、しかも第 7 図 (a) のクロック 15 の立上り c より  $t_1$  時間後に、入力信号 20 が第 7 図 (i) に示すように変化した場合 (メタステーブル回避の場合) について説明する。

この場合、ゲート制御器 16-8は、第 7 図 (f) に示すようにゲート信号 16-9 をアンドゲート

16-10 に送出している。従って、ゲート信号 16-9 が送出されている間、第 7 図 (i) に示す入力信号 20 は、アンドゲート 16-10 により阻止される。このため、入力信号 20 が JK フリップフロップ 16-11 に供給されず、入力信号 20 は、第 7 図 (d) のパターン c の立上り (×印で示す) d 点で、JK フリップフロップ 16-11 によりラッチされない。やがて、ゲート制御器 16-8 によるゲート信号 16-9 が解除される (オフとなる) と、入力信号 20 はアンドゲート 16-10 を介して JK フリップフロップ 16-11 の入力端子 J に供給される。そして、入力信号 20 は、1 クロック後のパターン ④の立上り e 点で、JK フリップフロップ 16-11 によりラッチされる。これにより、メタステーブル状態は回避される。このときの第 7 図 (i) に示す入力信号 20 が、入力信号同期回路 16 から出力されるまでの遅延時間、即ち入力信号 20 がアンドゲート 16-10 を介して JK フリップフロップ 16-11 より出力されるまでの遅延時間は、第 7 図 (j) に示すように  $t_c + t_e$  であり、



$\tau < \tau_c + \tau < 2\tau$ である。

以上、(I)、(II)の場合を考慮した入力信号同期回路16における入力信号20の平均遅延時間 $t$ は、次の(1)式で計算される。

$$t = (t_a + t_b + t_d) \cdot 1/4 + (\tau_c + \tau) \cdot 1/4 \quad \dots (1)$$

ここに、 $t_a$ は、第7図(d)のパターン③の場合の、入力信号20の変化とクロック17の立上りの差とし、 $t_b$ は同図(d)のパターン⑤の場合の、入力信号20の変化とクロック17の立上りの差とし、 $t_c$ は同図(d)のパターン⑥の場合の、入力信号20の変化とクロック17の立上りの差とし、 $t_d$ は同図(d)のパターン④の場合の、入力信号20の変化とクロック17の立上りの差とする。

(1)式において、 $t_a = t_b = t_c = t_d = \tau/2$ として、 $t$ を求めると、 $t = 0.75\tau$ である。従って、第1図のデジタル同期回路14とデジタル同期回路19間での平均遅延時間は、従来方式の $1.5\tau$ に比べて半分に短縮される。

とすると、入力信号同期回路16における入力信号20の平均遅延時間 $t$ は、一般に $t = \tau/2 + n\tau/m$  ( $< 1.5\tau$ ) となり、従来方式に比して、 $(1 - n/m)\tau$ が短縮される。

本発明は本実施例に限定されることなく、本発明の要旨を逸脱しない範囲で、種々の応用及び変形が考えられる。

(発明の効果)

上述したように本発明を用いれば、それぞれ異なる周波数のクロックで動作する2つのデジタル同期回路間で信号のやり取りをする場合に、信号を他方のデジタル回路のクロックに、メタステーブル状態を起さずに同期させるための遅延時間を、従来方式の平均 $1.5\tau$  (ここに、 $\tau$ は信号受け側のクロック周期) に比して、 $(0.5 + \gamma)\tau$  (ここに、 $\gamma$ は2つのクロックがメタステーブルを生じ得る位相関係になる割合、 $\gamma < 1$ ) の如く、著しく短縮することができるなどの効果を奏する。

4. 図面の簡単な説明

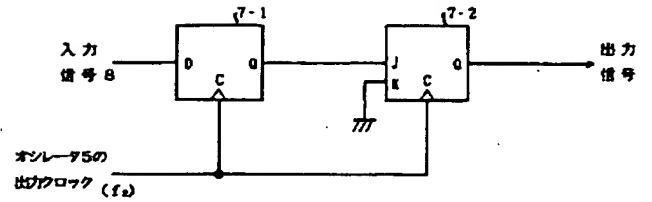
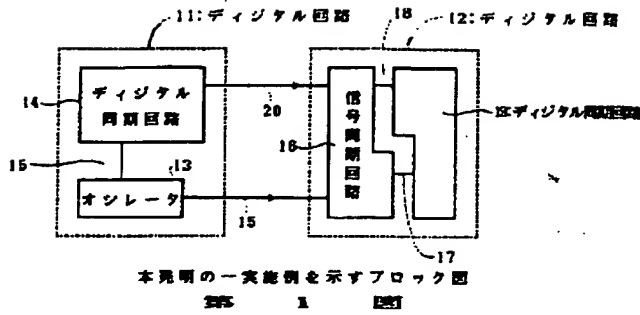
本実施例では、第7図(a)、(d)に示すような周波数 $f_1$ のクロック15と周波数 $f_2$ のクロック17に対し、これら2つのクロック15、17の位相関係( $f_1/n_1 = f_2/n_2$ )のパターン周期(第7図(b)、(c)の周期)に、周波数 $f_2$ のクロック17のクロックパルスが4個(4つのパターン③~⑥)あり、そのうちメタステーブルになり得るパターンが1個(第7図(d)のパターン③)の場合について説明したけれども、本発明はこれに限定されることなく、本実施例において、一般にクロック15の周波数 $f_1$ 、クロック17の周波数 $f_2$ をある周波数とし、これらのクロック15、17の位相関係( $f_1/n_1 = f_2/n_2$ )のパターン周期(第7図(b)、(c)の周期に相当する。)に、周波数 $f_2$ のクロック17のクロックパルス(パターン)が $m$ 個あり、そのうち、メタステーブルになり得るパターンが $n$  ( $< m$ ) 個であるとし、入力信号20の変化から、クロック17の立上りまでの時間を $\tau/2$  (ここに、 $\tau$ はクロック17の周期である。)

第1図は本発明の一実施例を示すブロック図、第2図は従来の非同期信号の同期方式の一例を示すブロック図、第3図は第2図の信号同期回路7の一構成例を示す回路図、第4図及び第5図は、第3図の動作タイムチャート、第6図は第1図の信号同期回路16の一構成例を示す回路図、第7図は第6図の動作タイムチャートである。

11、12…デジタル回路、  
13…オシレータ、  
14、19…デジタル同期回路、  
16…信号同期回路、16-1…VCO、  
16-2、16-3…分周器、16-4…位相比較器、  
16-8…ゲート制御器、16-10…アンドゲート、  
16-11…JKフリップフロップ。

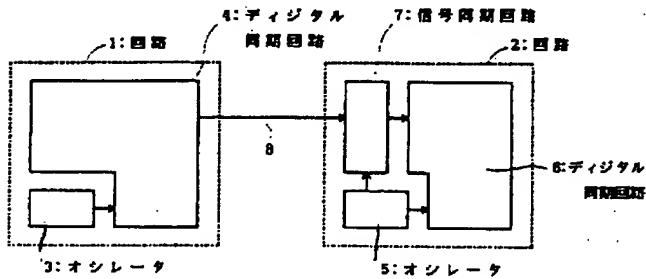
特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明



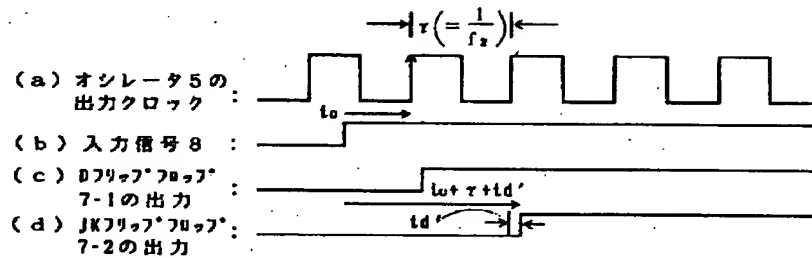
第2図の信号同期回路7の一構成例

図 3



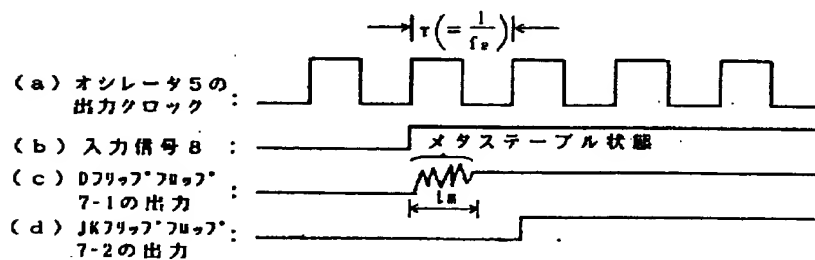
従来の非同期信号の同期方法の一例を示すブロック図

図 2



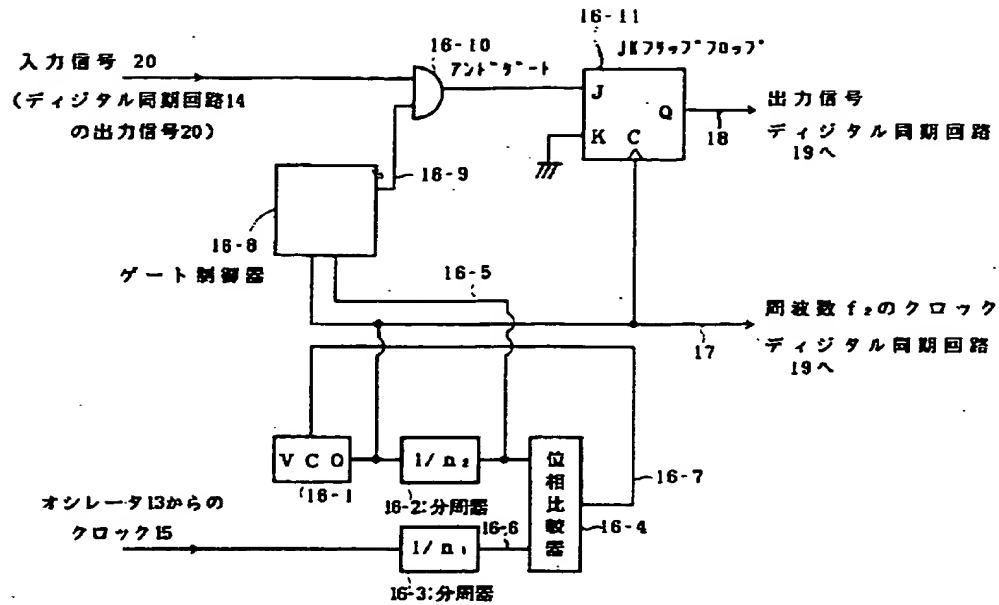
第3図の動作タイムチャート (メタステーブルを起こさない場合)

図 4



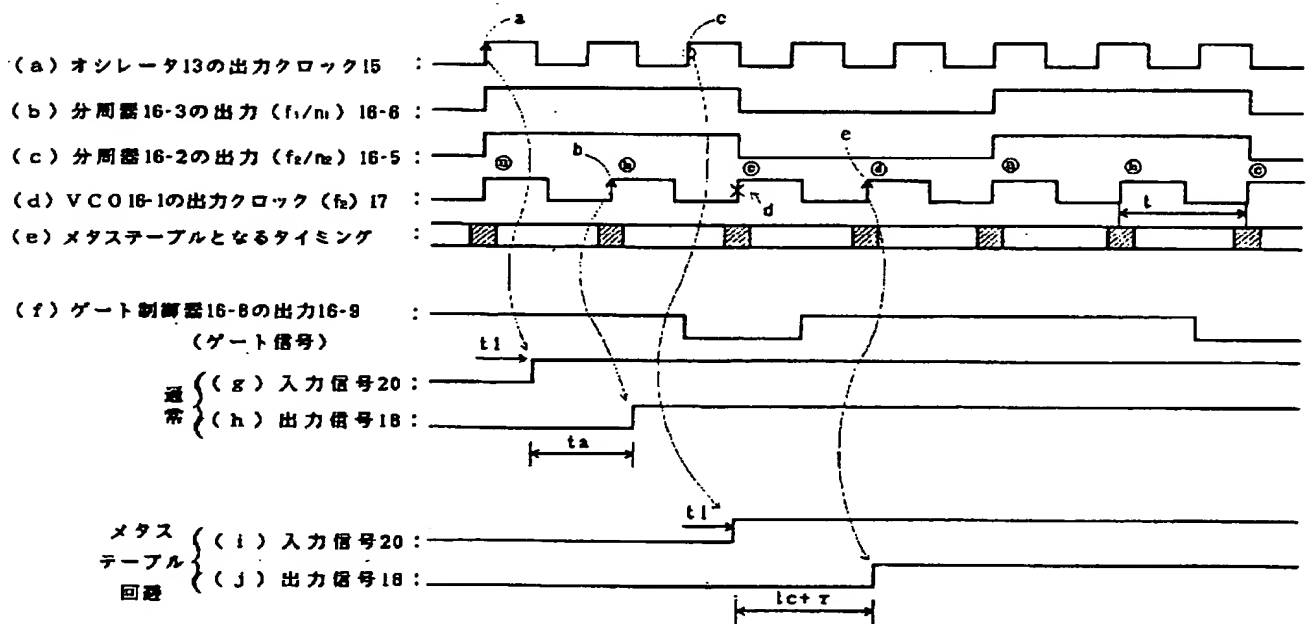
第3図の動作タイムチャート (メタステーブルを起こす場合)

図 5



第 1 図の信号同期回路 16 の一様成例

第 6 図



第 6 図の動作フローチャート

第 7 図

**THIS PAGE BLANK (USPTO)**